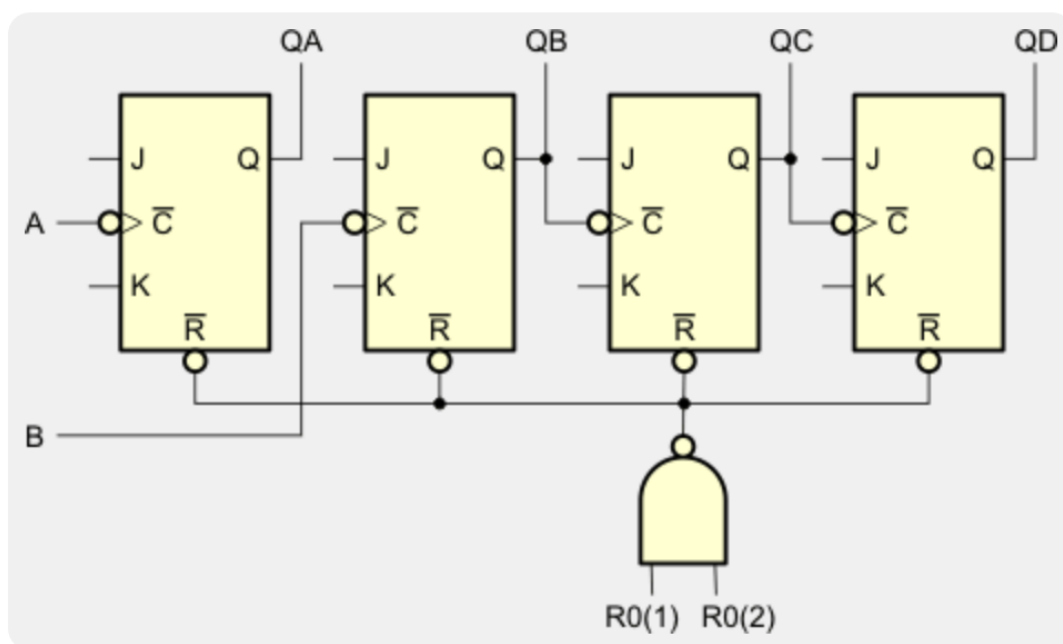


Laboratorium podstaw techniki cyfrowej			
Zadanie nr 3	Temat: Skracanie liczników	Data oddania opracowania	11.12.2024
PTCLABID:		16	
Autor:			

Zadanie polega na zaprojektowaniu i przetestowaniu działania licznika mod(316), a więc liczącego w górę od 0 do 315 w dwóch wersjach: asynchronicznego na układzie licznika 4-bitowego TTL 7493 oraz synchronicznego na liczniku 4-bitowym TTL 74163.

1. Licznik asynchroniczny na układzie TTL 7493



Rys. 1 Wewnętrzna sieć logiczna układu 7493

Opis działania układu TTL 7493:

Układ 7493 zawiera 4-bitowy licznik dwójkowy w kodzie NKB 8421. Licznik wewnętrznie składa się z dwóch modułów liczących odpowiednio do 2 i do 8. Wejście zegarowe A dotyczy modułu liczącego do 2, wejście zegarowe B dotyczy modułu liczącego do 8. Wynik z modułu 2 pojawia się na wyjściu Q_A , wynik z modułu 8 pojawia się na pozostałych wyjściach Q_B , Q_C i Q_D . Zliczanie odbywa się przy opadającym zboczu sygnału zegarowego.

Liczba 316 w zapisie dwójkowym ma postać 1 0011 1100. Zapis ma długość 9 bitów, co oznacza, że do budowy licznika trzeba użyć trzech liczników 4-bitowych, przy czym ostatni (który wskazuje najstarsze bity) licznik ma wyjście wyprowadzone tylko z jednego bitu. Pozostałe bity w ostatnim liczniku są zawsze w stanie 0, więc nie ma potrzeby podłączać do nich diod. Układ licznika TTL 7493 posiada reset asynchroniczny, aby nadać sygnał resetu należy na oba wejścia resetujące licznika R01 oraz R02 podać wartość 1, gdy osiągnięta zostanie wartość o jeden większa, niż ostatnia oczekiwana.

W przypadku licznika mod(316) ostatnią pożądaną wartością jest 315, a więc sygnał resetujący musi zostać wysłany, gdy liczniki osiągną stan 316. Sygnał resetujący zostaje podany, gdy poszczególne wyjścia liczników przyjmują wartości:

Wy0 = 0

Wy1 = 0

Wy2 = 1

Wy3 = 1

Wy4 = 1

Wy5 = 1

Wy6 = 0

Wy7 = 0

Wy8 = 1

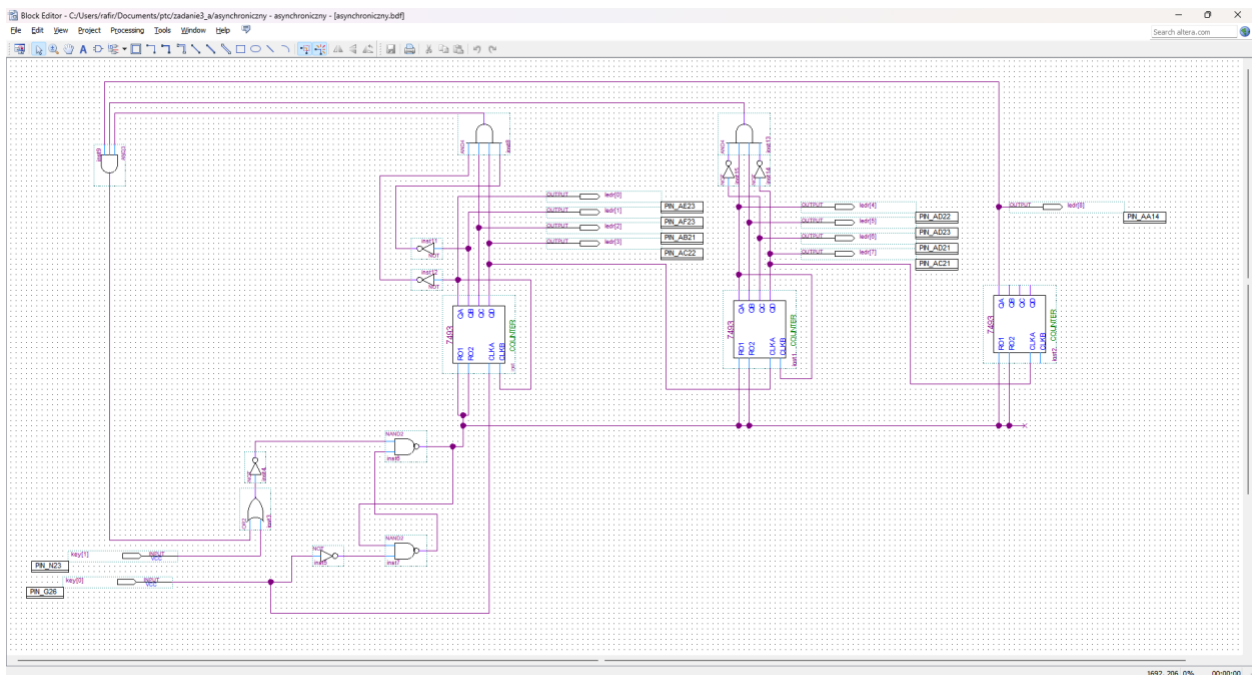
Do każdego licznika podpinamy bramkę AND, która zbierze żądany układ sygnałów z każdego licznika (każdy z czterech bitów) i prześle go na trójwejściową bramkę agregującą AND. Równanie opisujące wystąpienie sygnału resetującego wygląda więc następująco:

$R = (\text{Wy0} * \text{Wy1} * \text{Wy2} * \text{Wy3}) * (\text{Wy4} * \text{Wy5} * \text{Wy6} * \text{Wy7}) * (\text{Wy8})$, gdzie każdy nawias symbolizuje układ logiczny pobierający dane z jednego licznika TTL.

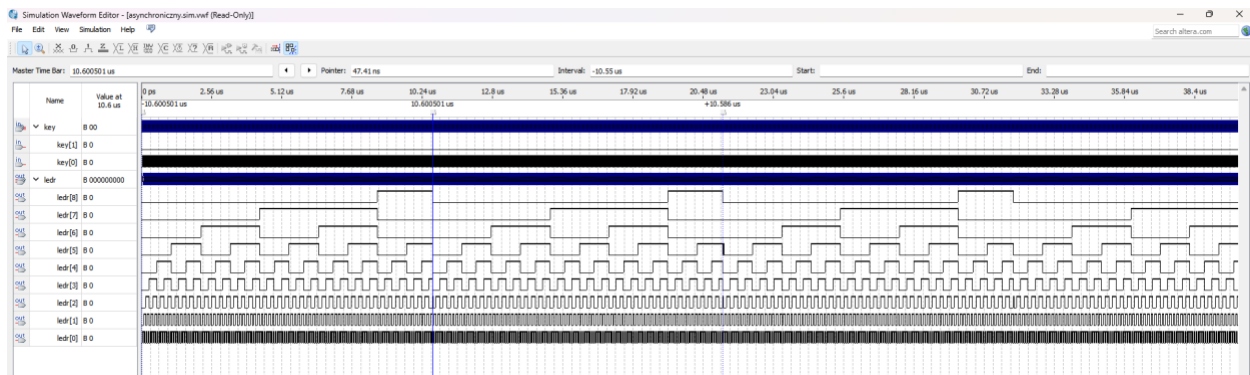
Do sygnału resetującego podpięty jest przycisk resetujący (za pomocą bramki OR). Tak zaprojektowany układ nie działa poprawnie, gdyż sygnał resetujący nadawany jest zbyt krótko i nie wszystkie układy liczników są poprawnie czyszczone. Trzeba zatem dołożyć element opóźniający w postaci zatrzasku RS zbudowanego z dwóch bramek NAND ze sprzężeniem zwrotnym, podłączone do zaprzeczonego sygnału resetującego R i do zaprzeczonego sygnału zegarowego, co pozwala na opóźnienie o pół okresu. Wyjście przerzutnika podpięte jest do wejścia resetującego układów liczników.

Pozostałe złącza układów licznika podpinamy w następujący sposób:

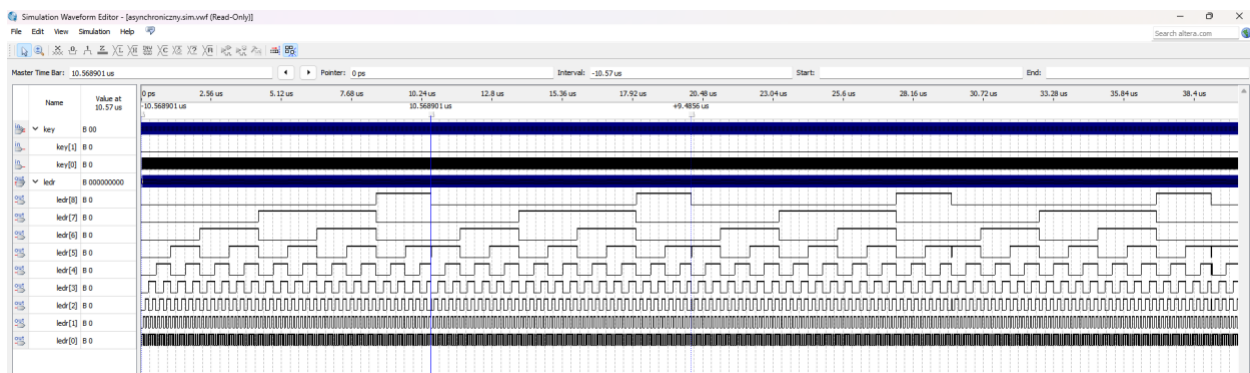
1. Na liczniku pierwszym (cztery najmłodsze bity):
 - a) do złącza zegarowego A: sygnał zegarowy z przycisku
 - b) do złącza zegarowego B: sygnał zwrotny z wyjścia QA (połączenie wynikające z wewnętrznej budowy układu 7493, który składa się z licznika 1-bitowego A i 3-bitowego B)
 - c) do złącz resetujących RA i RB — sygnał resetujący z układu logicznego opisanego powyżej
 - d) złącza QA - QD to wyjścia wyprowadzające sygnał na diody i do układu logicznego.
2. Na liczniku drugim:
 - a) do złącza zegarowego A: sygnał z wyjścia QD poprzedniego licznika
 - b) Pozostałe złącza jak w liczniku pierwszym
3. Na liczniku trzecim
 - a) do złącza zegarowego A: sygnał z wyjścia QD poprzedniego licznika
 - b) do złącz resetujących RA i RB - sygnał resetujący z układu logicznego
 - c) złącze zegarowe B jest nieużywane, bo układ jest wykorzystywany w charakterze licznika 1-bitowego
 - d) złącze QA to wyjście podpięte do diody i układu logicznego
 - e) złącza QB-QD są nieużywane



Rys. 2 Schemat blokowy licznika asynchronicznego mod 316 z użyciem układu TTL 7493



Rys. 3 Analiza czasowa dla okresu taktowania zegara - 33.5ns



Rys. 4 Analiza czasowa dla okresu taktowania zegara – 33.4ns

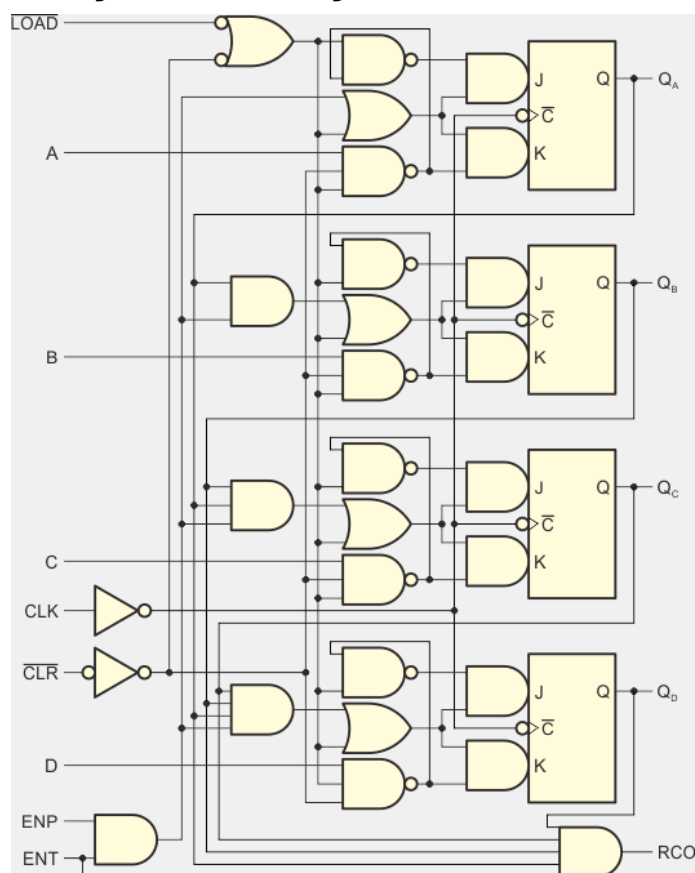
Poprawna praca układu ma miejsce gdy licznik modulo N pracuje dzieląc częstotliwość wejściową (częstotliwość sygnału zegara) przez N tzn. licznik generuje sygnał na najwolniej zmieniającym się bicie wyjściowym licznika o okresie N krotnie dłuższym od okresu zegara.

Dla okresu taktowania zegara – 33.5ns, okres na najdłuższym bicie wynosi 10586ns co jest równe $316 \cdot 33.5\text{ns}$

Dla okresu taktowania zegara -33.4ns, okres na najdłuższym bicie wynosi 9485.6ns co nie jest równe $316 \cdot 33.4\text{ns}$ (10554.4ns)

Stąd wynika, że najniższy okres który zapewnia poprawność pracy licznika wynosi 33.5ns, a maksymalny okres dla którego układ nie działa poprawnie wynosi 33.4ns

2. Licznik synchroniczny na układzie TTL 74163



Rys. 5 Wewnętrzna sieć logiczna układu 74163

Opis działania układu:

Układ 74163 zawiera 4-bitowy synchroniczny licznik. Układ posiada 6 wejść sterujących, 4 wejścia danych A...D, 1 wyjście przeniesienia rozptywowego RCO i cztery wyjścia danych $Q_A...Q_D$.

CLR – stan niski powoduje synchroniczne wyzerowanie licznika przy narastającym zboczu sygnału zegarowego CLK.

LOAD – stan niski powoduje wpisanie do przerzutnika stanu wejść A...D przy narastającym zboczu impulsu zegarowego CLK.

ENT i ENP – wejścia uaktywniające, muszą być w stanie wysokim 1, aby licznik zliczał.

Wejście ENT dodatkowo uaktywnia wyjście przeniesienia rozptywowego RCO. Przejście z 1 na 0 na wejściach ENT i ENP powinno nastąpić przy stanie wysokim wejścia zegarowego CLK.

CLK – wejście impulsów zegarowych. Zmiana stanu licznika następuje przy zboczu narastającym

A...D – wejścia ustawiające stan licznika zostają wpisane do licznika przy stanie niskim na wejściu LOAD i przy narastającym zboczu sygnału zegarowego CLK.

RCO – wyjście przeniesienia rozptywowego. Wyjście to może posłużyć do uaktywnienia następnej sekcji liczącej.

$Q_A \dots Q_D$ – wyjście licznika.

Licznik mod(316) zaprojektowany przy użyciu układów TTL 74163 jest bardzo podobny do zaprezentowanego powyżej. Synchroniczny reset, występujący w tym układzie powoduje, że nie w projekcie nie trzeba uwzględniać zatrasku opóźniającego. Dodatkowo sygnał resetujący zostanie podany, gdy osiągnięty zostanie ostatni pożądany stan licznika, a więc 315 (a nie 316 jak w poprzednim liczniku). Liczba 315 w zapisie dwójkowym ma postać 1 0011 1011

Wy0 = 1

Wy1 = 1

Wy2 = 0

Wy3 = 1

Wy4 = 1

Wy5 = 1

Wy6 = 0

Wy7 = 0

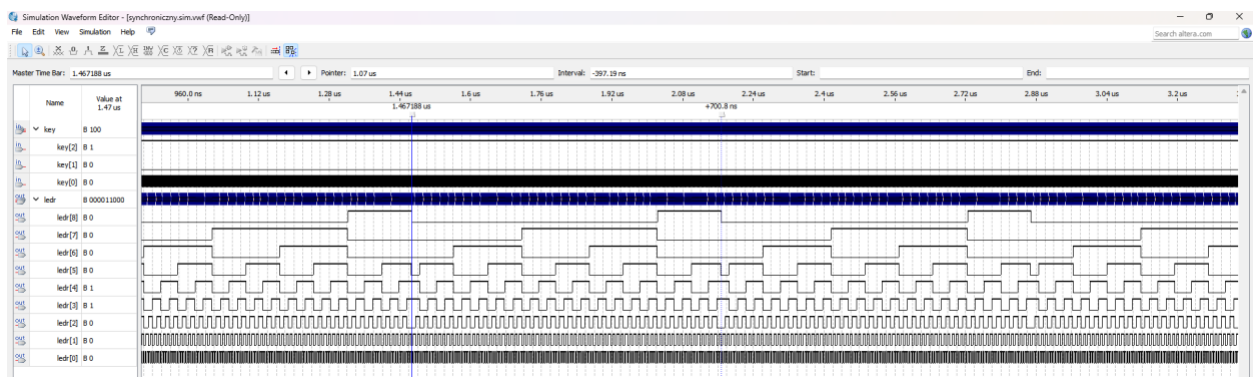
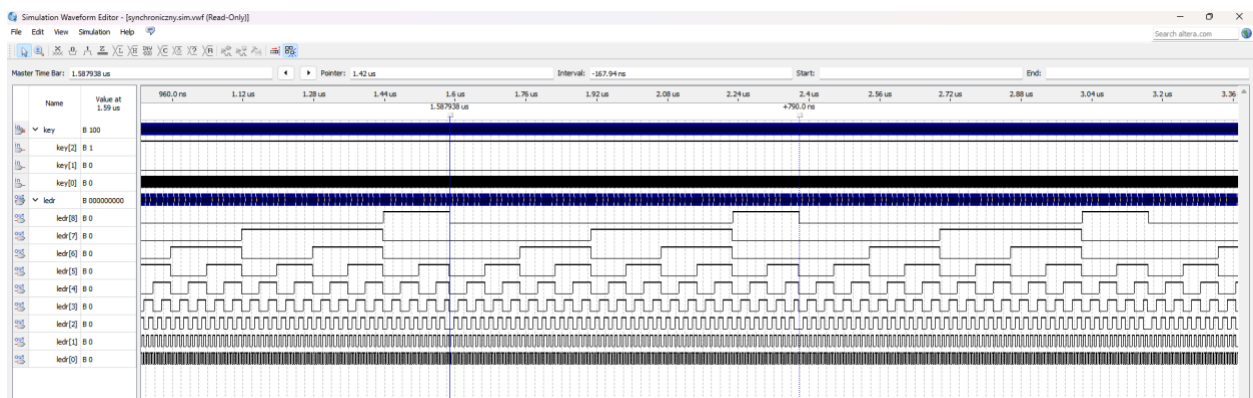
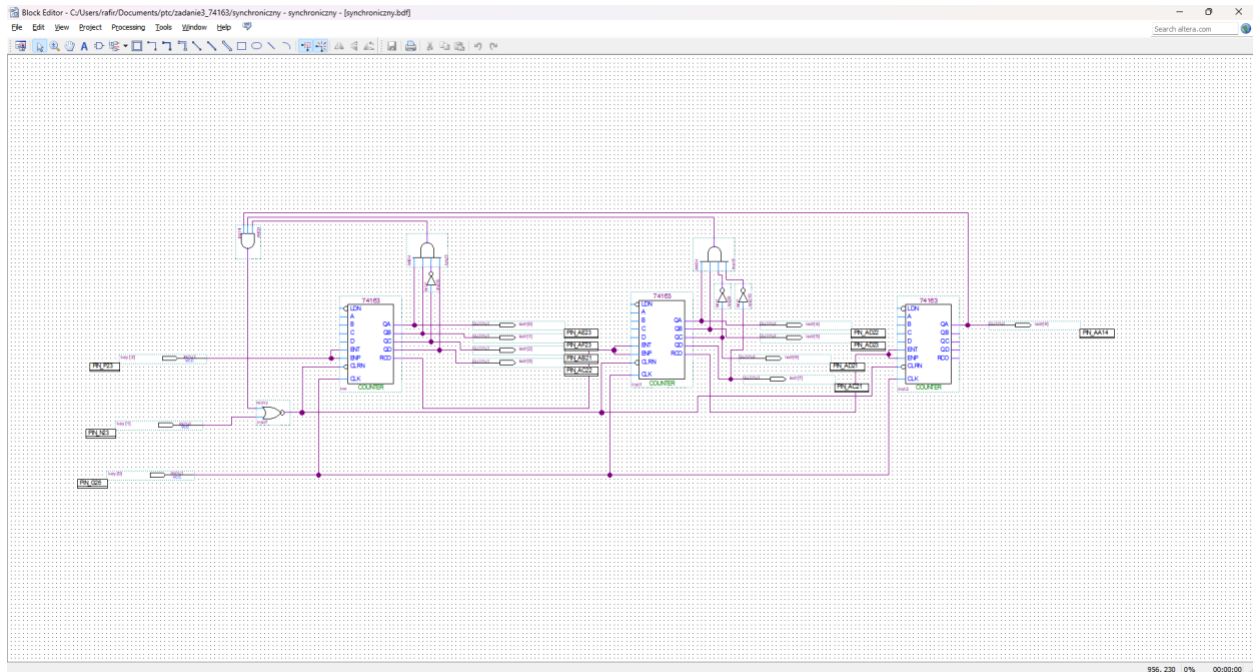
Wy8 = 1

6.1

Równanie układu sygnału resetu:

$$R = (wy0 * wy1 * \underline{wy2} * wy3) * (wy4 * wy5 * \underline{wy6} * \underline{wy7}) * (wy8)$$

Dodatkowe zmiany wynikają z budowy wewnętrznej układów liczników. Na reset musi zostać podany stan niski, a więc wyjście układu logicznego i przycisk resetujący spięte są bramką NOR. Dodatkowe wejścia ENT i ENP (wejścia zezwolenia) są spięte razem. Na pierwszym układzie licznika podpięte są bezpośrednio do przycisku zezwalającego, a w dwóch pozostałych licznikach do wyjścia RCO poprzedniego układu (wyjście sygnalizujące przepiętnienie licznika). Wszystkie złącza zegarowe podpięte są bezpośrednio do wspólnego zegara globalnego.



Dla okresu taktowania zegara – 2.5ns, okres na najdłuższym bicie wynosi 790ns co jest równe $316 * 2.5ns$

Dla okresu taktowania zegara – 2.4ns, okres na najdłuższym bicie wynosi 700.8ns co nie jest równe $316 * 2.4ns$ (758.4ns)

Stąd wynika, że najniższy okres który zapewnia poprawność pracy licznika wynosi 2.5ns, a maksymalny okres dla którego układ nie działa poprawnie wynosi 2.4ns

Indeks komentarzy

- 2.1 diody ?
- 2.2 sygnał resetujący jest cały czas od włączenia zasilania !? krótko ?
- 2.3 co opóźnia ? wiadomo ?
- 2.4 co jest opóźnione o pół okresu ? nic !

- 6.1 przyciski ?