

Laboratorium podstaw techniki cyfrowej			
Zadanie nr 1	Temat: Przykład dokumentacji transkodera	Data oddania opracowania	08.11.2024
PTCLABID:		16	
Autor:			

1. Opis zadania

Wykonać projekt układu transkodera kodu 3 bitowego wg specyfikacji w tabeli 1. Wykonać test poprawności pracy układu za pomocą symulatora Quartus II symulator. Przedstawić czasy propagacji układu dostępne w wynikach analizy czasowej oraz zmierzyć czasy propagacji w odpowiedzi na zadany podzbiór zmian na wejściu układu

Wejście	Wyjście
0	0
1	3
2	5
3	2
4	1
5	4
6	7
7	X

Tab 1. Specyfikacja transkodera w kodzie dziesiętnym

Wejście	Wyjście
000	000
001	011
010	101
011	010
100	001
101	100
110	111
111	X

Tab 2. Specyfikacja transkodera w kodzie NKB

Funkcje wyjść transkodera:

$$\text{Wyj 1} = f(\text{we4}, \text{we2}, \text{we1}) = \Sigma (1, 2, 4, 6), d(7)$$

$$\text{Wyj 2} = f(\text{we4}, \text{we2}, \text{we1}) = \Sigma (1, 3, 6), d(7)$$

$$\text{Wyj 4} = f(\text{we4}, \text{we2}, \text{we1}) = \Sigma (2, 5, 6), d(7)$$

Wyj 1

Tablica 1 Karno dla funkcji Wyj 1

We4/we2, we1	00	01	11	10
0	0	1	0	1
1	1	0	X	1

Wyj 2

We4/we2, we1	00	01	11	10
0	0	1	1	0
1	0	0	X	1

Tablica 2 Karno dla funkcji Wyj 2

Wyj 4

We4/We2, We1	00	01	11	10
0	0	0	0	1
1	0	1	X	1

Tablica 3 Karno dla funkcji Wyj 4

Równania funkcji wyjść po minimalizacji: (Podkreślenie przy zmiennej² 1-j oznacza negację)

$$\text{Wyj 1} = (\underline{\text{We4}} * \underline{\text{We2}} * \text{We1}) + (\text{We4} * \underline{\text{We1}}) + (\text{We2} * \underline{\text{We1}})$$

$$\text{Wyj 2} = (\underline{\text{We4}} * \text{We1}) + (\text{We4} * \text{We2})$$

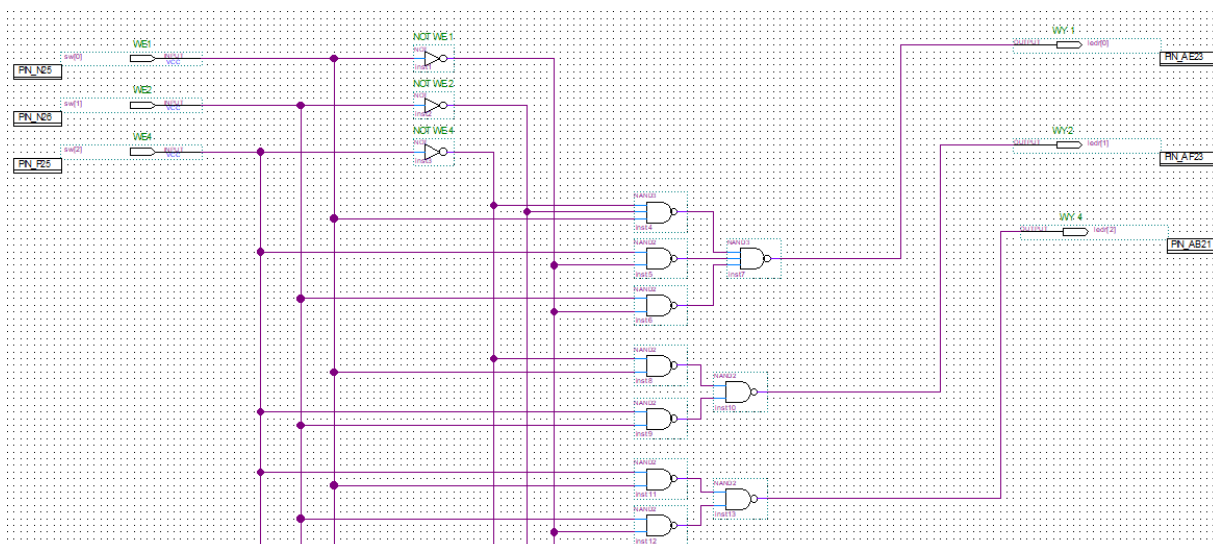
$$\text{Wyj 4} = (\text{We4} * \text{We1}) + (\text{We2} * \underline{\text{We1}})$$

Implementacja za pomocą NAND (zastosowano prawo deMorgana): (znak ' oznacza negację)

$$\text{Wyj 1} = [(\underline{\text{We4}} * \underline{\text{We2}} * \text{We1})' * (\text{We4} * \underline{\text{We1}})' * (\text{We2} * \underline{\text{We1}})']'$$

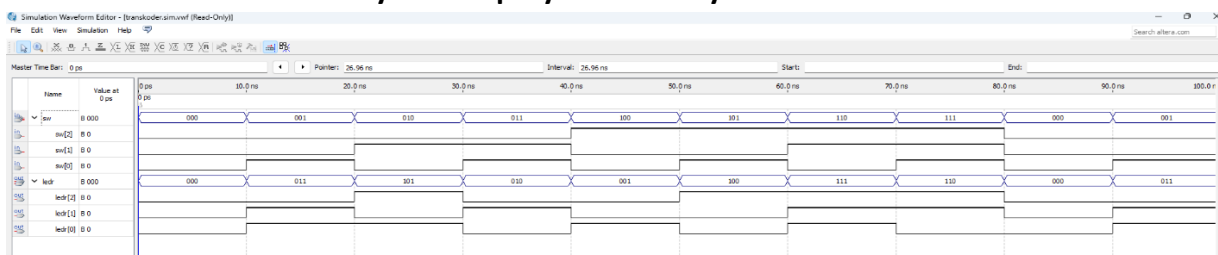
$$\text{Wyj 2} = [(\underline{\text{We4}} * \text{We1})' * (\text{We4} * \text{We2})']'$$

$$\text{Wyj 4} = [(\text{We4} * \text{We1})' * (\text{We2} * \underline{\text{We1}})']'$$



Rys 1. Schemat układu transkodera zrealizowany przy użyciu bramek NAND. Na rysunku określono wykorzystane wyprowadzenia układu Cyclone II EP2C35F672C6.

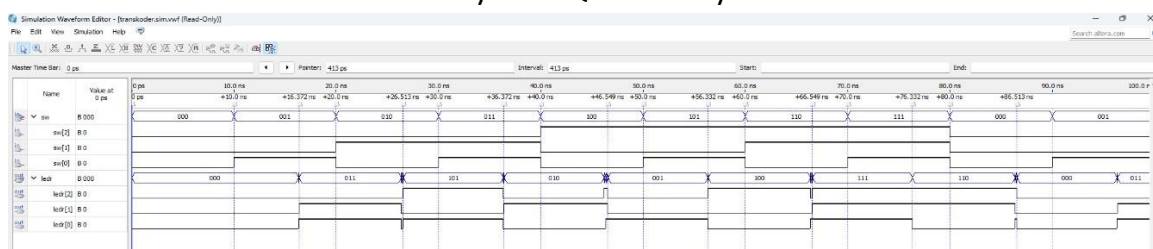
Wyniki eksperymentu w symulatorze



Rys 2. Wynik symulacji funkcjonalnej w Quartus II Simulator – sprawdzenie poprawności pracy układu kombinacyjnego dla wymuszeń będących kolejnymi wartościami w NKB.

Table of Contents		Propagation Delay					
Flow Summary		Input Port	Output Port	RR	RF	FR	FF
Flow Settings		1 sw[0]	ledr[0]	6.332	6.332	6.332	6.332
Flow Non-Default Global Settings		2 sw[0]	ledr[1]	6.372			6.372
Flow Elapsed Time		3 sw[0]	ledr[2]	6.319	6.319	6.319	6.319
Flow OS Summary		4 sw[1]	ledr[0]	6.513	6.513	6.513	6.513
Flow Log		5 sw[1]	ledr[1]	6.549			6.549
Analysis & Synthesis		6 sw[1]	ledr[2]	6.499			6.499
Fitter		7 sw[2]	ledr[0]	6.197	6.197	6.197	6.197
Flow Messages		8 sw[2]	ledr[1]	6.236	6.236	6.236	6.236
Flow Suppressed Messages		9 sw[2]	ledr[2]	6.194			6.194
Assembler							
TimeQuest Timing Analyzer							

Rys. 3 Wyniki analizy czasowej układu – czasy propagacji dostępne w opcji Propagation Delay TimeQuest Analyzer



Rys.4 Obserwacja w symulatorze czasów propagacji (tryb Timing simulation). Czas propagacji to upływ czasu od momentu pojawienia się przyczyny na wejściu układu do momentu wystąpienia skutku na wyjściu układu.

Zmiana sygnału na wejściu	Czas propagacji
0->1	6.372 ns
1->2	6.513 ns
2->3	6.372 ns
3->4	6.549 ns
4->5	6.332 ns
5->6	6.549 ns
6->7	6.332 ns
7->0	6.513 ns

Tab.6. Czasy propagacji układu transkodera w odpowiedzi na podzbiór możliwych zmian na wejściu.

Indeks komentarzy

2.1 brak trzeciego implikanta prostego w tablicy Karno, przebieg metody ?